

제12회 태성에스엔이 전기전자반도체 세미나

AI 기반 차세대 반도체 산업 동향과 CAE 최적화 전략

일자 : 2025.03.27 (목) 10:30 - 16:50

장소 : 한국과학기술회관

REGISTRATION >>>>

TIME	AGENDA
10:30 - 10:40	인사말 태성에스엔이 중소벤처기업연수원
10:40 - 11:20	AI 기반 반도체 산업의 동향 서강대학교 김주호 교수 인공지능은 산업 전분야에 많은 변화를 가지고 왔고, 특히 반도체 분야는 AI 서비스산업과 발맞추어 동반 성장을 하고 있습니다. 인공지능의 발전은 이제 반도체 산업의 혁신을 유도하고 새로운 비즈니스와 마켓을 형성하고 있으며 앞으로 이 트렌드는 지속될 것으로 보입니다. 본 발표에서는 AI 기반 반도체 산업의 현재 이슈를 점검하고 가까운 미래에 필요한 요소 기술 및 발전 방향을 HBM (high-bandwidth memory)의 예를 들어 설명합니다.
11:20 - 11:50	AI를 이용한 3차원 전력 전자 모듈에 대한 온도 예측 권기태 수석매니저 태성에스엔이 본 세미나에서는 AI 기법을 활용한 3D 전력전자 모듈의 온도 예측 방법을 다룹니다. Optislang과 Icepak을 활용한 방열판 최적화 워크플로우를 설명하고, 발생하는 Multi-scale 문제를 언급합니다. 이를 해결하기 위해 Stochos를 활용한 AI 기반 예측 모델을 개발하였으며, 방열판 형상에 따른 3D 온도 분포를 예측합니다. 마지막으로 기존 해석 방법과 AI 모델의 차이를 비교하여 설명합니다.
11:50 - 12:20	LPV기반 열저항 행렬을 이용한 2.5D/3D-IC 패키지의 열특성화 모델링 평가및 검증 이명훈 프로 Ansys Korea 본 연구에서는 선형 파라미터 가변(Linear Parameter Varying, LPV) 열 저항 행렬을 기반으로 한 열 성능 평가 프로세스를 제안합니다. 제안된 프로세스는 전산 유체 역학(Computational Fluid Dynamics, CFD) 모델에 적용되는 열 경계 조건으로서 대류 열 전달 계수(Convective Heat Transfer Coefficient, HTC, h)를 통합합니다. 칩의 온도 평가를 위해 다양한 대표적인 HTC 값에 대해 열 저항 행렬 모델을 추출하며, 특정 영역의 모니터링된 온도를 바탕으로 HTC를 계산하고, 선형 보간법을 이용해 열 저항 행렬을 추출합니다. 본 프로세스는 기존의 열 저항 행렬 기반 열 평가 방법에 비해 개선된 타당성과 정확성을 보여줍니다.
12:20 - 13:30	Lunch Time
13:30-14:00	반도체 패키징 인터커넥션 기술과 CAE 고용호 센터장 생산기술연구원 반도체 패키징 기술은 소자 단위 1st level, 부품과 기판 단위 2nd level, 시스템 단위 3rd level 이라는 3 단계 기술 체계로 구분 되어 왔으나 최근에는 전통적인 분류 체계 경계가 모호해지고 체계 단계의 개념도 확장되고 있는 추세입니다. 한편, 반도체 패키징 기술 분야는 단순한 신호의 전달과 전기적 연결, 소자와 부품의 단순한 조립 공정 기술이라는 종래의 개념에서 벗어나 다양한 소재와 장비, 공정을 이용하여 반도체 소자의 성능을 극대화할 수 있게 하는 첨단 기술로 반도체 산업에서 중요한 기술의 한 축으로 자리잡고 있으며, 칩과 기판이나 칩과 칩 등의 첨단화 된 인터커넥션 접합부에서 발생하는 전기적/열적/기계적 이슈들에 대응할 수 있는 기술들의 개발을 요구 받고 있습니다. 이러한 이슈들을 해결함에 있어서 지금까지는 실험계획법 등을 활용한 실제 실험에 근거하여 해결해 왔으나, 최근에는 다양한 전산해석기법과 컴퓨팅 기술을 이용하는 computer aided engineering (CAE)를 활용하여 시간과 비용을 줄이면서 이슈를 해결하려 하고 있습니다. 본 발표에서는 반도체 패키징 인터커넥션 접합 기술과 접합부에서 발생하는 현상과 이슈들을 설명하고 CAE 기술의 적용 사례 검토를 통하여 각 분야 공동의 발전 방향을 찾아 보려고 합니다.
14:00-14:30	Comparative Study of 2.5D Interposer Simulation and Measurement Data 이용택 수석 스태츠칩팩코리아 2.5 RDL interposer, the data measured from TV (test vehicle) was compared and analyzed for simulation run time and S-parameters by applying ANSYS simulation tool solver and options. Therefore, the most suitable simulation tool solver and simulation setup can be applied to 2.5 RDL interposer in the future.
14:30 - 15:00	Metamodel을 이용한 PCB/PKG/Interposer routing 자동 최적화 김태진 이사 Ansys Korea Ansysto Optislang을 이용하면 AEDT 기반의 전자전기 Simulation S/W와 쉽게 연동할 수 있으며, 다량의 simulation data training으로 수 초안에 최적 설계변수를 도출하는 Meta model을 구축할 수 있습니다. 하지만 Optislang 역시 전문화된 AI/최적화 툴로서, 최적화 과정과 알고리즘을 이해하며 사용해야 하기 때문에 초반 진입장벽이 존재합니다. 본 발표에서는 이러한 진입장벽을 최소화하기 위해, AEDT 모델링부터 Optislang Meta model 생성까지 full automation으로 구현하는 과정을 설명합니다. 이를 최근 실무 현장에서 화두가 되고 있는 PCB/PKG/Interposer의 signal trace routing을 위한 최적 설계에 적용하여, 고속 신호의 배선을 AI 알고리즘으로 최적화하는 방법론에 대해 소개할 예정입니다.
15:00 - 15:20	Break & Networking
15:20 - 15:50	Electromigration 에 의한 PCB/PKG 수명 예측 해석 배현진 매니저 태성에스엔이 지속적인 전자의 움직임은 Electromigration 이라는 현상을 유도합니다. 이 현상으로 인해 Hillock이나 Void 등이 생기며 다양한 제품의 불량률이 유발됩니다. Ansys Slwave 에서는 이 현상을 미리 예측하고 기대 수명을 해석해 볼 수 있습니다. 더 나아가 Icepak 과의 연계 해석을 통해 어떻게 MTTF(Mean Time To Failure)를 해석 할 수 있는지 소개합니다.
15:50 - 16:20	ROM을 활용한 수냉식 인버터 열유동 해석 이예준 매니저 태성에스엔이 Reduced Order Model(ROM)을 활용하여 수냉식 인버터의 효율적인 열유동 해석 기법을 소개합니다. 인버터 내 IGBT 등의 전력 반도체는 고출력 작동 시 발생하는 열을 효과적으로 관리해야 하며, 이를 위한 냉각 시스템 설계가 필수적입니다. 정밀한 모델에 대한 빠른 해석이 가능한 ROM을 사용하여 온도를 빠르게 도출하는 해법을 제안합니다.
16:20 - 16:50	PCB/PKG 뒤틀림(Warpage) 해석을 위한 연성 해석 방법 소개 김창환 팀장 태성에스엔이 PCB 및 Package 의 구조적 변형을 예측하기 위해 전자기장, 열, 구조 연성 해석 방법을 활용하여 뒤틀림(Warpage) 문제를 분석하는 방법을 소개합니다. 연성해석에 사용된 각 해석 소프트웨어 간의 상호 작용 및 데이터 연동 방식을 설명하고, Ansys Mechanical™ 해석 결과와 AEDT Structure 해석 결과를 비교하며 시뮬레이션 접근법을 제시합니다.